基于 FPGA 的 CCD 视频波形发生器*

张毅，张鸿飞，陈诚，唐琪杰，王坚
（中国科学技术大学近代物理系，核探测与核电子学国家重点实验室，安徽，合肥 230026）

摘 要:为了测试用于南极 CSTAR(Chinese Small Telescope Array)望远镜的 CCD(Charge Coupled Device) 控制器视频采样电路的性能并对其进行低温可靠性验证，设计了一款基于 FPGA 的 CCD 视频波形发生器，它能产生 CCD 探测器输出的视频波形。上位机通过 USB2.0 接口与视频波形发生器进行指令通讯，可以改变波形的幅度、周期、上升沿时间以及叠加的噪声。通过设定不同参数的波形输入到 CCD 控制器的视频采样电路可以在不同温度下对电路的性能进行充分测试，不仅提高了测试效率而且有效地避免了安装 CCD 测试造成的风险。测试结果表明 CCD 控制器的视频采样电路性能满足要求并可以在低至-80℃下稳定工作。

关键词：CCD 视频波形发生器；真随机数发生器；FPGA；性能测试；低温可靠性验证；
中图分类号:TP337　　**文献标识码**：A　　**文章编号**：

1 引 言

随着电子技术的快速发展，科学级 CCD 探测器由于它在可见光波长下高达 90%的量子效率，超低读出噪声，高分辨率，宽光谱响应范围等优点广泛应用于天文[1]观测领域。在天文观测中，观测台址的选择十分重要，在空间卫星上观测无疑是最佳的，Kepler 空间卫星曾对天鹅座附件约 100deg^2 的天区进行了长达四年的观测，探测到了大量的系外行星、变星及恒星耀发事件[2]。然而空间卫星的建造及其昂贵，天文学家们继而把目光投向了南极这个具有低风，低湿度，大气平静的地点，同时南极没有大气污染，光污染，还具备长达数月的极夜[3]，这些有利的观测条件驱使着我国天文学家对南极的探索。2006 年底，我国科学家提出了在南极冰穹 A 建造首台天文仪器的计划，即中国南极小望远镜阵 CSTAR，两年后 CSTAR 望远镜成功安装在南极内陆最高点 DOME A，CSTAR 是由 4 个 10cm 的望远镜组成，望远镜固定地指向南天极，其主要的科学目标是进行变星监测，获得多波段长时间的连续光变曲线，用于暂现天象如新星及超新星等观测，搜索系外行星等。同时 CSTAR 的另一重要功能是天文台址测量，进行天光背景、云量和透明度的测量以及连续晴夜的统计[4]。虽然南极拥有诸多观测优势，但是其恶劣的条件也对望远镜系统的电子学及结构设计造成了极大的考验。根据南极 CSTAR 天文望远镜的观测要求以及低温可靠性的考虑，中国科学技术大学基于 E2V 公司的 CCD 47-20 芯片设计了一款科学级 CCD 相机[5]。图 1 为 CCD 相机在南京天文光学技术研究所安装 CSTAR 望远镜的测试现场图片。

*基金项目：国家自然科学基金(11603023，11773026)、安徽省自然科学基金（1508085MA07）、中央高校基本科研业务费专项（WK2360000003）、核探测与核电子学国家重点实验室自主课题（WK2030040064）资助
投稿日期：2019-03-29；　修订日期：年-月-日；
作者简介：张毅，男，硕士研究生。研究方向：用于天文观测领域的科学级 CCD 探测器系统。E-mail：zylcx@mail.ustc.edu.cn.
通讯作者：王坚，男，副教授。研究方向：天文技术，物理电子学，核电子学。E-mail:wangjian@ustc.edu.cn.

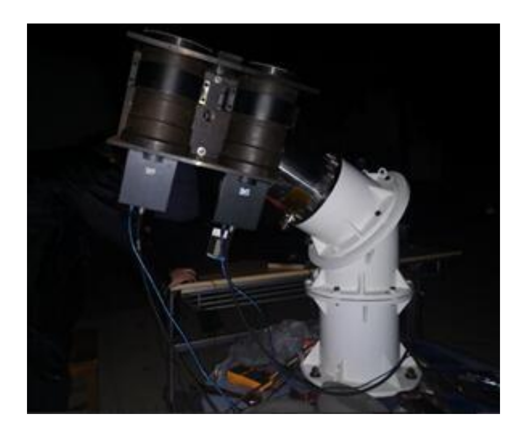


图 1. CCD 相机安装在 CSTAR 望远镜测试图片

Fig. 1 The test picture of CCD camera installed in CSTAR telescope

CCD 相机主要由真空腔体，快门，电源系统以及 CCD 控制器组成。CCD 控制器提供 CCD 工作所需时钟信号和偏压信号，并将 CCD 输出的视频信号进行放大采样等处理，同时还具备一定的自检功能。视频采样电路是 CCD 控制器的关键部分，它直接决定了整个系统能否成像以及图像噪声的大小，因此需借助外部设备产生 CCD 视频波形输入到控制器进行系统测试。通常的做法是基于直接数字频率合成（DDS）技术产生任意波形，并利用可编程逻辑器件对整个系统加以控制，从而输出满足需求的 CCD 视频波形。如美国布鲁克海文国家实验室针对大型综合巡天望远镜（LSST）上的 CCD 相机设计的 CCD 仿真器[6]，使用 12 位 DAC 通过高带宽运放驱动后可输出 1.23MHz 的 CCD 视频波形。该技术在国内也有多处应用案例，如基于 FPGA 设计的用于航天相机数据采集系统的 TDI-CCD 信号发生器[7]，以及基于 CPLD 设计的用于 CCD 相机的信号发生器[8]等。

本文针对 CSTAR 相机控制器视频采样电路的测试设计了一款 CCD 视频波形发生器。整个系统由 Altera 公司的 Cyclone IV FPGA 主控，可以模拟 CCD 输出的视频波形并能叠加不同大小的随机噪声，通过上位机的简单设定可以快速地对视频采样电路进行测试，不仅提高了测试效率而且极大程度上降低了 CCD 探测器损坏的风险。

2 系统结构

整个 CCD 控制器以及视频波形发生器的系统框图如图 2 所示。上位机通过两个控制软件分别控制 CCD 控制器和 CCD 视频波形发生器，命令通过两个 USB 接口分别下发。控制器控制软件可以根据视频波形发生器产生的 CCD 波形生成图像，通过感兴趣区（ROI）的选取可以自动计算出当前区域内像素均值以及均方差，以便分析视频采样电路的功能及性能。

CCD 视频波形发生器由 FPGA、USB2.0、视频波形产生电路、真随机数发生器（TRNG）以及电源组成。整个系统由 FPGA 主控，USB2.0 用于下发指令参数、传输图像数据。视频波形产生电路可以根据上位机控制软件设定产生相应的 CCD 视频波形，也可以将一帧特定图像的像素值存入 Flash，通过 FPGA 逻辑算法将像素值逐个转换后由视频波形发生器还原相应的 CCD 视频波形。真随机数发生器基于 FPGA 内部震荡环的抖动设计，通过 FPGA 输出的使能信号来控制整个随机源，产生的随机噪声用于模拟 CCD 芯片的读出噪声，随机噪声的大小可以

通过视频波形发生器控制软件设定随机数的位宽来调节。控制器的触发时钟通过接插件连接至 CCD 视频波形发生器，产生的视频波形通过同轴电缆线输入到视频采样电路输入端。

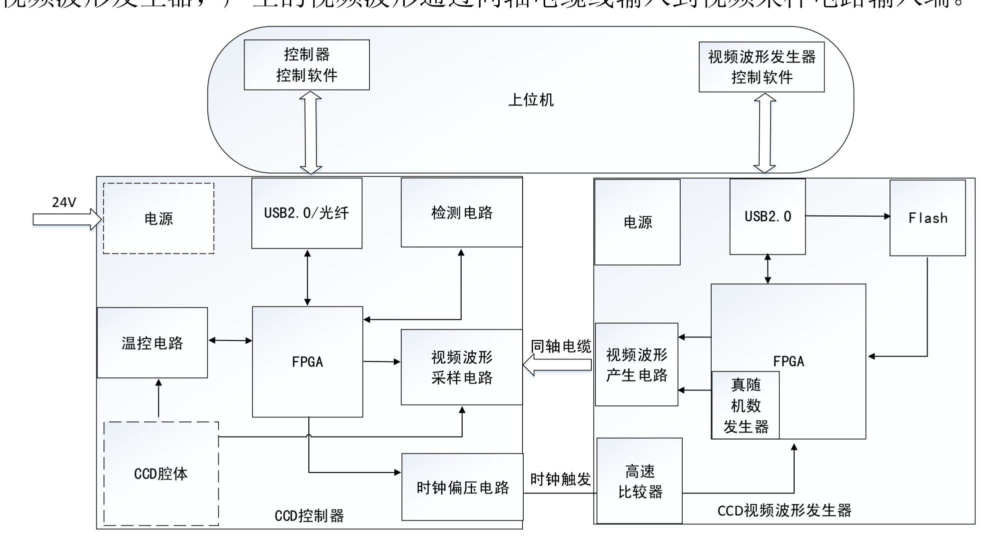


图 2. 系统整体框图

Fig. 2 System overall block diagram

2.1 视频波形产生电路

通常科学级 CCD 输出的视频波形为三段台阶式波形，如下图 3 中 Output 信号，其中第一段台阶为复位电平，由 R 时钟上升沿触发。第二段台阶为参考电平，由 R 时钟下降沿触发。第三段台阶为像素电平，由 R3 时钟下降沿触发。当光子入射时，会在 CCD 探测器内部 MOS 电容器的半导体材料中激发出电子形成电势差，该电势差对应 CCD 视频波形参考电平与像素电平的差值，视频采样电路通过相关双采样[9]（CDS）处理后得到有效像素值。 为了使产生的视频波形的相位与实际 CCD 输出的视频波形一致，需要 CCD 控制器产生的 R 时钟和 R3 时钟来触发视频波形的不同阶段，以便视频采样电路能够准确得到每个周期的有效像素值。控制器输出到视频波形发生器的 R 时钟和 R3 时钟经过分压后进入比较器转换成 LVTTL 信号，通过分压电阻调节合适的比较器参考电压。受限于控制器的视频采样电路，目前读出速度最高支持到 800kPixel/s，本设计采用 100MHz 的 FPGA 时钟不断采样比较器的输出信号，从而判断触发时钟的电平变化。

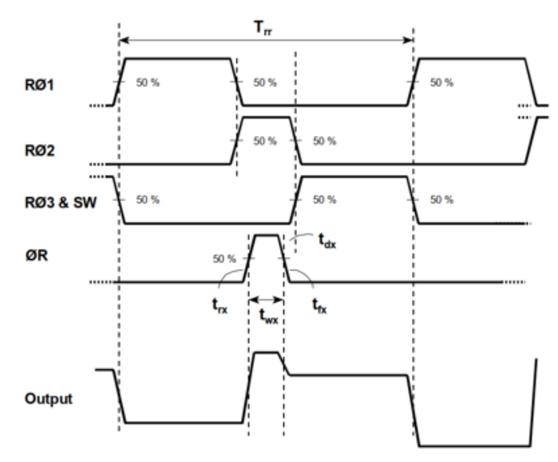


图 3. CCD47-20 视频输出信号

Fig. 3 Video output signal of CCD47-20

视频波形产生电路如图 4 所示。由 500MSPS 高速 DAC（max5888）、低通滤波模块和高速低噪声运放构成。由于输出的视频波形由 R 时钟和 R3 时钟触发，因此其频率与控制器设定的读出速度一致，最高为 800kHz，所选用的 DAC 足以满足设计需求。FPGA 通过 16 位 LVDS 数据和 LVDS 时钟控制 DAC，DAC 输出的差分电压信号 V_p， V_n 经过低通滤波模块后滤除高频噪声，高速低噪声运放将差分信号转换成单端信号输出。运放输出电压与 DAC 数据码之间的关系如式 1 所示

$$V_{out}=\left(2\times\frac{Data_{code}}{2^{16}}-1\right)\mathrm{V}\quad. \tag{1}$$

式中：V_{out} 为运放输出的电压，$Data_{code}$ 为 DAC 的数据码，由于 DAC 的分辨率为 16 位，因此该视频波形产生电路输出的信号范围为-1V 到 1V。根据 CCD47-20 手册，其输出响应率为 4.5 μV/e^-，满阱电子数约为 10 万个电子，因此在过曝光的情况下 CCD 视频波形参考电平与像素电平之间的最大压差约为 450mV，所以该视频波形产生电路可以满足测试需求。

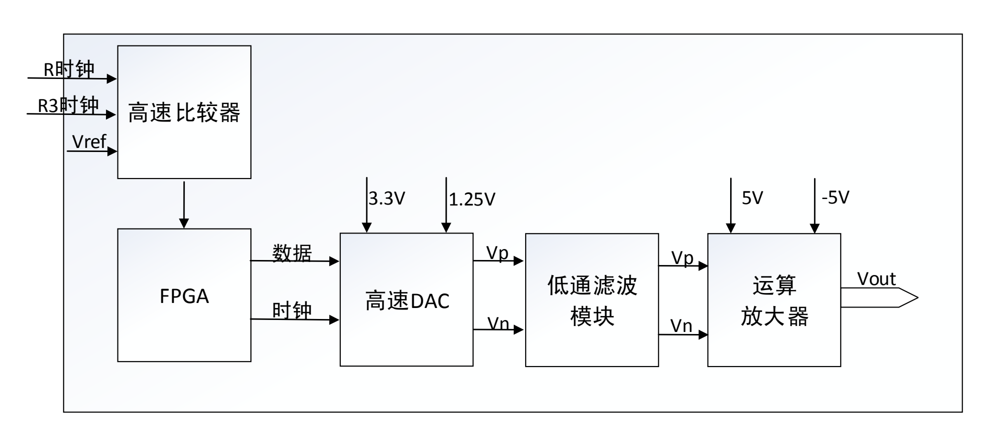


图 4. 视频波形产生电路

Fig. 4 Video waveform generation circuit

2.2 真随机数发生器

真随机数发生器基于 FPGA 内部震荡环的抖动作为随机源设计，将产生的随机数同步的叠加到 DAC 输出码上可以模拟 CCD 芯片的读出噪声，其框图如图 5 所示。本设计在 FPGA 内部使用 25 个反相器首尾相连构成一个闭合回路作为一个震荡环，随机源由 24 路震荡环组成通过使能信号控制产生高频震荡时钟，该时钟周期仅与反相器门延时有关，相比于用 PLL 或 DLL 等采取反抖动措施产生的时钟，其具有更大的抖动[10]。随机源输出的高频时钟经过 D 触发器进行第一次采样，采样时钟为 100MHz。24 位采样结果经过异或（XOR）处理后，通过 D 触发器进行二次采样输出一位随机数，采样时钟为 100MHz。在不需要随机噪声的情况下可以通过控制软件关闭随机源从而减少系统功耗。

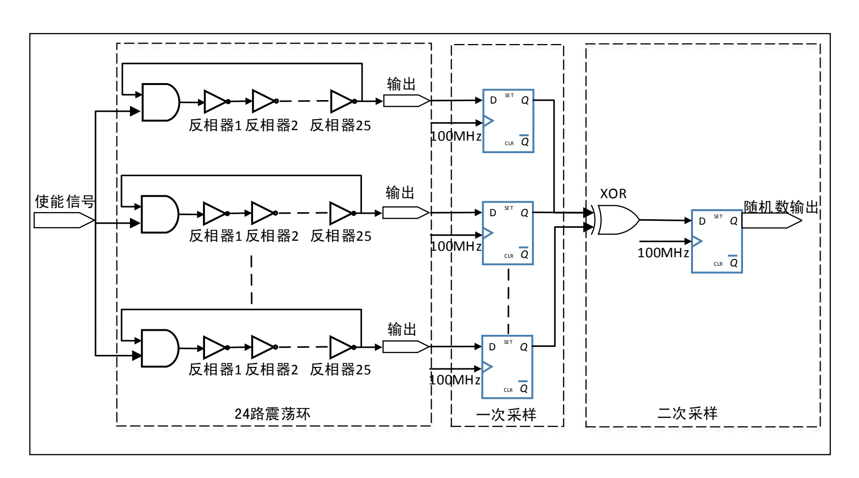


图 5. 真随机数发生器

Fig. 5 True random number generator

图 6 所示为在实际测试中使用 SignalTap 来采样 4bit 随机数的一段结果。

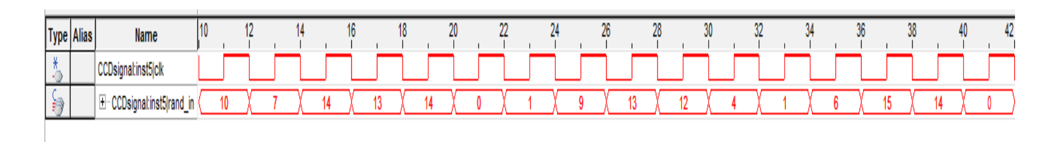


图 6. SignalTap 采样 4 位随机数的结果

Fig. 6 Result of 4 bits random number sampled by SignalTap

3 FPGA 逻辑实现

视频波形发生器的 FPGA 逻辑框图如图 7 所示，包括 USB 通信模块、命令解析模块、随机数产生模块、DAC 数据整合模块、Flash 控制模块、图像数据处理模块以及 DAC 输出模块，各个模块由 FPGA 控制协同工作。

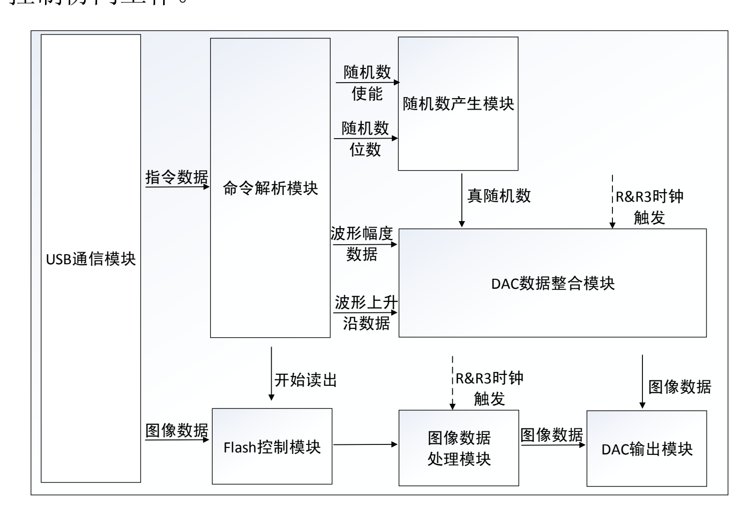


图 7. FPGA 逻辑框图

Fig. 7 FPGA logic block diagram

USB 通信模块负责接收上位机下发数据，下发数据类型分为指令数据和图像数据。基本指令包括设定视频波形各个阶段电压值、设定视频波形上升沿/下降沿时间、设定真随机数发生器使能或失能以及设定随机数位宽，通过上位机设定参数后，视频波形发生器伴随触发时钟产生重复的周期性信号。图像数据为一帧特定图像的像素值，通过 USB 存入 Flash 中。当命令解析模块产生开始读出标志位后，Flash 控制模块依次读出每个像素值并输出到图像数据处理模块中。图像数据处理模块有两个功能，一是在 R 时钟上升沿和下降沿触发下向 DAC 输出模块输出复位电平和参考电压所对应的 DAC 数据码，默认情况下逻辑将复位电平设成 100mV，参考电平设成 50mV。二是根据 Flash 控制模块输出的像素值以及视频采样电路增益计算出 CCD 视频波形中参考电平与像素电平之间的压差，并将此压差转换成 DAC 输出码，在 R3 时钟下降沿触发下输出给 DAC 输出模块。在还原一帧特定图像模式中，DAC 输出模块以 100MHz 的主频持续输出数据到 DAC 中，当有图像数据处理模块触发时，则输出当前数据，若无触发时，则输出上一时刻的数据直到下一次触发到来。

命令解析模块将指令解析后向后续相关模块传递参数及标志位。若产生随机数使能信号，随机数产生模块以 100MHz 的主频输出相应位宽的真随机数到 DAC 数据整合模块。在上位机设定 CCD 波形的模式中，命令解析模块将 CCD 各阶段幅度值所对应的 DAC 数据码以及上升沿/下降沿时间输出到 DAC 数据整合模块。DAC 数据整合模块有两个功能，一是在 DAC 数据码上叠加真随机数，并将数据以 100MHz 的主频传递给 DAC 输出模块。二是在 R 和 R3 时钟触发到来时，根据上升沿/下降沿时间计算波形跳变阶段每个点所对应的 DAC 数据码，例如当上升沿设定为 100ns，复位电平和像素电平分别设定为 100mV 和 0mV 时，采样点将从 0mV 每次增加 10mV 在 10 个周期内达到复位电平幅度。在上位机设定波形模式下，DAC 输出模块由 DAC 数据整合模块触发将产生的数据输出到 DAC 中，产生用户设定的 CCD 视频波形。

其中 DAC 数据整合模块以及 DAC 输出模块的工作主频均为 100MHz，对于 100kHz 的视频波形，一个周期内可还原 1 千个采样点，足以满足测试需求。

4 测试结果

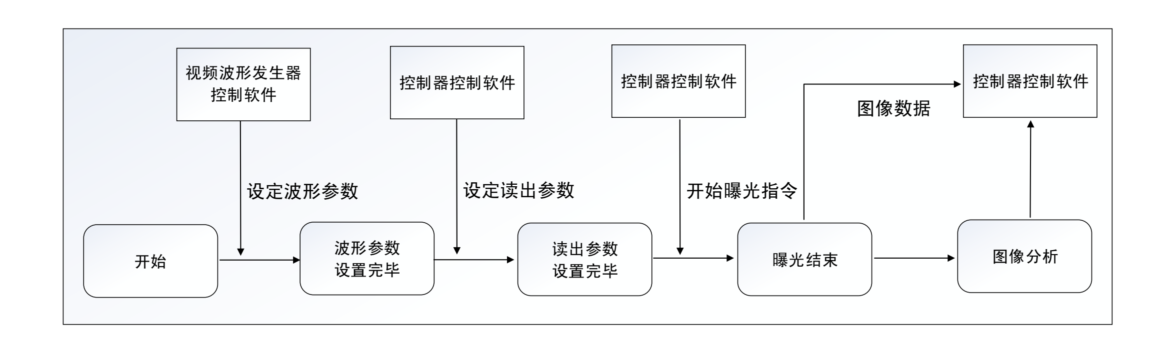


图 8. 测试流程图

Fig. 8 The picture of test flow

在测试过程中系统工作的流程框图如图 8 所示。首先通过视频波形发生器控制软件设定波形幅度、上升沿/下降沿时间、以及所叠加的噪声位宽。再通过控制器控制软件设定读出参数，包括读出速度、积分时间、前放增益高低选择。所有参数设置完毕后通过控制器控制软件下发开始曝光指令，视频波形发生器会根据 R 时钟和 R3 时钟的变化输出实际的 CCD 视频波形，该波形进入视频采样电路采样后得到像素值，通过 USB2.0 接口传至上位机，在控

制器控制软件上生成一帧图像，供用户分析。图 9 是通过将特定像素值固化到 Flash 后，通过 FPGA 控制产生的 CCD 视频波形以及还原得到的图像。整幅图像亮度从左到右依次减小，呈规律的条纹状，与预期一致。

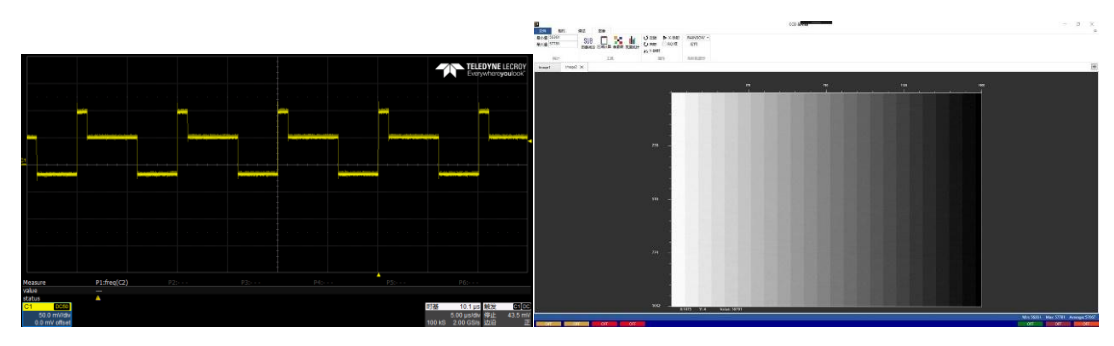


图 9.　CCD 视频波形及还原图像

Fig. 9 CCD video waveform and restored image

在视频采样电路的性能测试中，通过视频波形发生器控制软件设定产生一个均匀平场的 CCD 视频波形，其复位电平，参考电平以及像素电平分别固定为 100mV，50mV，0mV，上升沿/下降沿时间为 100ns，并通过控制器控制软件设定读出速率为 100kPixel/s。

在室温下将 CCD 视频波形分别叠加 1 到 8 位随机数噪声后，输入到 CCD 控制器的视频采样电路，通过实际叠加的噪声与视频采样电路测量的像素值均方差之间的关系，来评估视频采样电路的性能。根据多次测试结果，当不叠加随机噪声时，视频采样电路测量 10 万个采样点像素值的均方差大约为 7.3ADUrms。参考电平和像素电平之间的差值如式 2 所示

$$F(\Delta V)=\left[\left(F(ref)-F(pix)\right)+\left(F(nref)-F(npix)\right)\right]. \tag{2}$$

式中：$F(\Delta V)$ 为叠加随机噪声后参考电平和像素电平之间的差值，$F(ref)$ 和 $F(pix)$ 分别表示在不叠加随机噪声时参考电平值与像素电平值， $F(nref)$ 和 $F(npix)$ 分别表示在参考电平和像素电平上叠加的噪声值，则 $F(\Delta V)$ 的均方差如式 3 所示

$$\sigma F(\Delta V)=\sqrt{\sigma^2\left[F(ref)-F(pix)\right]+\sigma^2F(nref)+\sigma^2F(npix)}. \tag{3}$$

式中：$\sigma F(\Delta V)$ 为 $F(\Delta V)$ 的均方差，$\sigma^2\left[F(ref)-F(pix)\right]$ 为参考电平与像素电平压差值的方差，即为 $7.3ADUrms^2$ 。$\sigma^2F(nref)$ 和 $\sigma^2F(npix)$ 分别为在参考电平和像素电平叠加随机噪声的方差。随机数可近视为在 $\left[0,2^n-1\right]$ 区间内服从均匀分布，其方差计算如式 4 所示

$$\sigma^2R_{\left[0,2^n-1\right]}=\frac{\left(2^n-1\right)^2}{12}. \tag{4}$$

式中：n 为随机数的位数，$\sigma^2R_{\left[0,2^n-1\right]}$ 为 n 位随机数噪声的方差。因此，当不同的随机数噪声叠加到 DAC 输出码时，理论测量的像素值均方差与随机数位数的关系如式 5 所示。

$$\sigma F(\Delta V)=\sqrt{\frac{1}{6}\times\left(2^n-1\right)^2+7.3^2}. \tag{5}$$

图 10 将视频采样电路实际测量像素值均方差的结果与理论值进行了对比，在叠加 1 到 8 位随机噪声后，通过式（5）计算而得的理论像素值的均方差如图 10 中虚线 STD2 所示。视频采样电路实际测量 10 万个采样点像素值的均方差如图 10 实线 STD1 所示。根据测试结果，两条曲线基本重合，这说明控制器视频采样电路的性能满足要求。

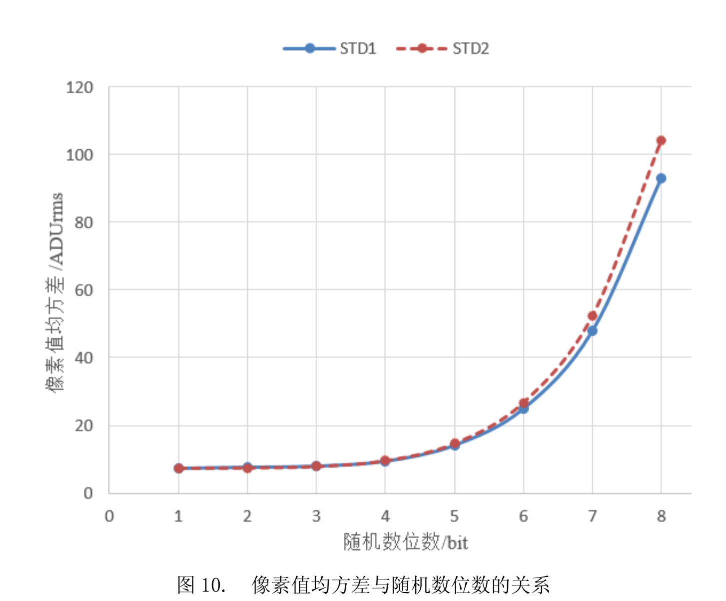


图 10.　像素值均方差与随机数位数的关系

Fig. 10 Relationship between pixel value Standard deviation and random number bit

此外我们利用该视频波形发生器对控制器视频采样电路进行了长期的低温测试，测试结果表明控制器在低至-80℃的温度下可以正常成像，说明视频采样电路满足南极的低温需求。

5 总 结

本文设计了一款基于 FPGA 的 CCD 视频波形发生器模拟 CCD 输出的视频波形，可以在不安装 CCD 芯片的情况下，通过上位机的简单设定快速有效地对 CCD 控制器进行测试，避免了安装 CCD 测试所造成的风险。针对南极 CSTAR 相机控制器的视频采样电路做了详细测试，其结果表明视频采样电路的性能满足我们的要求，也间接证明了控制器的时钟电路在低至-80℃的温度下可以正常工作。该视频波形发生器还可以应用于其它科学级 CCD 视频波形的仿真，对后续其它控制器的研发及测试提供了诸多便捷。

The design of the CCD video waveform generator based on FPGA

ZHANG Yi, ZHANG Hong-fei, CHEN Cheng, TANG Qi-jie, FENG Yi, WANG Jian-min, WANG Jian

(Department of Modern Physics，　University of Science and Technology of China，

State Key Laboratory of Nuclear Detection and Nuclear Electronics，　Hefei Anhui，230026, China)

Abstract: In order to test the performance of the video sampling circuit of the CCD(Charge

Coupled Device) controller for an Antarctic CSTAR(Chinese Small Telescope Array) and verify low temperature reliability, a CCD video waveform generator based on FPGA was designed for generating the video waveform output by CCD detector. A computer can communicate with the video waveform generator through the USB2.0 interface, which can change the amplitude, period, rising edge time and the superimposed noise of the waveform. The performance of the circuit can be fully tested at different temperatures by setting the waveform with different parameters and input to the video sampling circuit of the CCD controller, which not only improves test efficiency but effectively avoids the risk of installing the CCD test. The test results show that the performance of the video sampling circuit of the CCD controller meets the requirements and can work stably as low as -80 ℃.

Key words: CCD video waveform generator; True random number generator; FPGA; Performance test；Low-temperature reliability verification;

参考文献:

[1] 陈建军, 李彬华, 张牛虎等. 一种天文用 CCD 相机的电路设计[J]. 天文研究与技术——国家天文台台刊, 2009, 6(02): 130-135.

Cheng Jianjun, Li Binhua, Zhang Niuhu, et al. Design of electronic circuits for an astronomical CCD camera [J]. Astronomical Research and Technology——Publications of National Astronomical Observatories of China, 2009, 6(2): 130-135.

[2] 王松虎. 基于 CSTAR 的系外行星探测及后续研究[D]. 南京：南京大学, 2016.

[3] Yang, H., Kulesa, C. A., Walker, C. K., et al. “Exceptional terahertz transparency and stability above Dome A, Antarctica”, PASP, 122, 490-494 (2010).

[4] 宗伟凯, 付建宁, 牛家树, 等. 2009 年南极冰穹 A 的双色天光背景统计和分析[J]. 天文研究与技术——国家天文台台刊, 2013, 11(1): 89-94.

Zong Weikai, Fu Jianning, Niu Jiashu, et al. Sky Brightness Values in the SDSS g and r Bands at the Dome A of the Antarctica in 2009 [J]. Astronomical Research and Technology——Publications of National Astronomical Observatories of China, 2013, 11(1): 89-94.

[5] Hong-fei Zhang, Jian-min Wang, Yi Zhang, et al., “Scientific CCD camera for CSTAR telescope in Antarctica,” Proc. SPIE 10709, High Energy, Optical, and Infrared Detectors for Astronomy VIII, 107091Q (6 July 2018); doi: 10.1117/12.2309892.

[6] Lu W, O'Connor P, Fried J, et al. CCD emulator design for LSST camera[C]//High Energy, Optical, and Infrared Detectors for Astronomy VII. International Society for Optics and Photonics, 2016, 9915: 99152O.

[7] 宋小龙, 张犁, 石光明. 基于 FPGA 的高精度 TDI-CCD 信号发生器的设计[J]. 电子科技, 2007(04):1-4.

Xiaolong S, Li Z, Guangming S. A High Accuracy TDI-CCD Signal Generator Based on FPGA [J]. Electronic Science and Technology, 2007, 4: 1-4.

[8] 姜博, 阮锦. 基于 CPLD 的 CCD 信号发生器的研究[J]. 微计算机信息, 2009, 25(17):267-269.

JiangBo, RuanJin. Design of CCD signal generator based on CPLD [J]. Microcomputer Information, 2009, 25(17):267-269.

[9] 许秀贞, 李自田, 薛利军. CCD 噪声分析及处理技术[D]. 2004.

[10] 张鸿飞, 王坚, 罗春丽, 等. 基于抖动的高速真随机数发生器的设计和实现[J]. 核技术, 2011, 34(7): 556-560.

Zhang H F, Wang J, Luo C L, et al. Development of a high speed true random number generator based on jitter[J]. Nucl Tech, 2011, 34(7): 556-560.